

行政院國家科學委員會專題研究計畫成果報告

低功率無線傳輸系統晶片設計及相關設計技術之研究 II(總計畫)

Lower-Power Chip-Set Implementation and Related Design Technology for a Wireless Transmission System (II)

計畫編號：NSC 86-2221-E-007-018

執行期限：85年8月1日至86年7月31日

主持人：吳誠文 清華大學電機系教授

E-mail:cww@ee.nthu.edu.tw

一、中文摘要

本計畫為一整合型計畫，共有本校資訊、電機兩系五位教授，及超過三十位研究生參與，目標是設計出一低功率晶片組，用於一無線傳輸系統。經由本計畫之執行，我們已發展出本校在低功率晶片及系統設計之能力，並建立其所需之設計技術及輔助軟體。

本跨系所整合型計畫包含下列五個子計畫：

1. 深次微米 IC 之低功率高階合成與實體設計自動化 (林永隆教授 資訊系)。
2. 低功率取向之邏輯合成 (黃婷婷教授 資訊系)。
3. 功率預估與管理的設計環境 (吳中浩教授 資訊系)。
4. 一個低功率代數幾何碼編解碼器晶片設計 (呂忠津教授 電機系)。
5. 低功率訊號壓縮解壓縮晶片設計 (吳誠文教授 電機系)。

這些子計畫經由上述的共同目標強烈地整合在一起，亦即對最終目標之分工，而非只是把各人所做獨立研究集合起來而已。本計畫除了已開發出設計軟體工具之外，亦已透過 CIC 完成製作多顆晶片(由各子計畫主持人為之)，並完成測試與驗證。

關鍵詞：低功率電路、低電壓電路、無線傳輸系統、設計技術、無線區域網路、電腦輔助設計。

Abstract

This project is a large-scale integrated project which involves five faculty members and more than 30 graduate students from the Department of Computer Science and the Department of Electrical Engineering, National Tsing Hua University. These two Departments collaborate on this project to implement a low-power chip-set for a wireless transmission system. By carrying out this project, we have developed not only chips for a low-power wireless transmission system for today's urgent need, but also low-power circuit design technology and CAD tools for use in this chip-set and for designs to come in the future. The project spanned a period of two years, during which the chips and tools have been defined, designed and analyzed, and finally implemented, tested, and evaluated.

This inter-departmental integrated project was composed of six subprojects:

1. Low-power high-level synthesis and physical design automation Targeting Deep-Submicron Technology (Professor Y.-L. Lin, CS Dept.).
2. Power-driven logic synthesis (Professor T.-T. Hwang, CS Dept.).
3. Power estimation and management

design environment (Professor C.-H. Wu, CS Dept.).

4.A low-power AG-code codec chip design (Professor C.-C. Lu, EE Dept.).

5.Low-power source-coding chip design (Professor C.-W. Wu, EE Dept.).

These subprojects strongly collaborated with each other, since we had to accomplish a common goal. Tools have been developed, and we have applied to the Chip Implementation Center (CIC) of the National Science Council (NSC) for chip fabrication and packaging. We have tested the fabricated chips.

Keywords: low-power circuit, low-voltage circuit, wireless transmission system, design technology, wireless LAN, CAD.

二、計畫緣由與目的

在無線通信技術迅速發展之衝擊下，以及新的通訊系統功能日益繁複，效率日益提高，再加上「輕、薄、短、小」電子產品設計潮流等等因素的影響，對於調變、編碼、濾波、接收、等化、同步、網路監督及控制等等在通信系統中不可或缺的功能走向積體電路化，已經是必然的趨勢。近年來由於 VLSI 技術不斷的進步，積體電路化最主要的核心部分即是在於 VLSI 線路的設計。固然 VLSI 可以使複雜的通信理論變成具有實用價值的硬體系統，但是從另外一個角度來看，有時為了追求更好的 VLSI 線路架構，往往會導引出新的演算法則或新的設計觀念，甚至一個更合適的電腦輔助設計系統。因此在無線通信技術發展領域裡，VLSI 線路設計實際上是佔有相當關鍵性的地位。

VLSI 線路設計需要非常龐大複雜的電腦輔助設計軟體工具來支援。因此要設計出具有低功率消耗特性的線路，首先這些軟體工具本身就必須要具備有支援低功率設計的能力。很可惜的是目前較為普及

的設計環境大多無法有效地支援低功率設計。因此在設計低功率消耗 VLSI 的同時，發展有效的電腦輔助設計軟體工具已經是不可或缺的一環。

由以上的討論我們可以發現，在發展現代高科技無線通信系統的道路上，整合無線通信技術和低功率 VLSI 線路設計技術，已經是一種勢在必行的研究趨勢。

本研究計劃的主題在於發展低功率且高效能的無線傳輸系統晶片及相關設計技術。它在無線區域網路 (Wireless Local Area Network) 的架構中扮演著一個重要角色，是一種短路徑傳播的典型應用範例。

三、結果與討論

此總計畫在各個子計畫中所達到之成果，皆如當初計畫書所提之預定進度完成。以下為各個子計畫確實完成之成果：

子計畫一在行為階層，開階層皆如當初預定之進度完成。在實體設計方面也設計了一套 ECO(Engineering Changes Command)軟體，而在元件排列中考慮如何減少功率消耗，此計畫將所得的成果寫成兩篇博士論文及一篇碩士論文，並曾發表於各知名會議和期刊中。

子計畫二中提出了應用於不同 RAM-based technology 上，針對 low power 為導向的 technology mapper，經由實驗的驗證證實，我們的方法的確可以改進原來設計線路的功率消耗。

子計畫三中延續第一年研發之系統耗電分析初步方法，再進一步發展一套完整的系統耗電分析方法，同時著重於系統功率資源管理方法之研究，作出一個系統功率資源管理器 CAD 軟體。

子計畫四中完成代數幾何碼編解碼器之電路設計模擬，並送交國科會晶片製作中心(CIC)製造，獲得代數幾何碼編解碼器原型晶片。

子計畫五中設計了一顆執行 Lempel-Ziv 資料壓縮演算法的單晶片，並且利用臺灣積體電路公司的 0.8 毫米的 CMOS 製程技術將之實現出來且測試驗證成功，並將

此計畫成果寫成兩篇論文發表於期刊及學術會議中。

由於本研究群皆定期開會討論計畫內容、進度、及各研究項目之問題與解決方法，使得每一位參與的師生及助理均分享所有的研究心得，並經由此緊密的結合，使得整體目標可以實現。藉由本計劃，除了在本校建立技術能力與提昇研究水準外，更培養出大型系統整合能力，及訓練低功率晶片與系統設計及其相關設計技術開發之人才，對本土工業水準之提昇有相當之貢獻。

四、計畫成果自評

此計畫為兩年期之整合型計畫，所有子計畫皆依照當出所提之計畫內容及進度完成，且各子計畫間並進行整合，使得整個整合型計畫成果形成一體。各子計畫並有多篇論文發表及製作了多顆晶片(詳見各子計畫之成果報告)，成果豐碩。

五、參考文獻

- (1) Z. J. Lemnois and K. J. Gabriel, "Low-power electronics," IEEE Design & Test of Computers, vol. 11, no. 4, pp. 8--13, Winter 1994.
- (2) A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low-power CMOS digital design," IEEE Journal of Solid-State Circuits, vol. 27, no. 4, pp. 473--484, Apr. 1992.
- (3) L. S. Nielsen, C. Niessen, J. Sparsø, and K. van Berkel, "Low-power operation using self-timed circuits and adaptive scaling of the supply voltage," IEEE Trans. VLSI Systems, vol. 2, no. 4, pp. 391--397, Dec. 1994.
- (4) W. C. Athas, L. J. Svensson, J. G. Koller, N. Tzartzanis, and E. Y. C. Chou, "Low-power digital systems based on adiabatic-switching

principles," IEEE Trans. VLSI Systems, vol. 2, no. 4, pp. 398--407, Dec. 1994.

- (5) S. Gary, P. Ippolito, G. Gerosa, C. Dietz, J. Eno, and H. Sanchez, "Power PC 603TM, a microprocessor for portable computers," IEEE Design & Test of Computers, vol. 11, no. 4, pp. 14--23, Winter 1994.
- (6) J. Cong and C. K. Koh, "Simultaneous driver and wire sizing for performance and power optimization," IEEE Trans. VLSI Systems, vol. 2, no. 4, pp. 408--425, Dec. 1994.
- (7) M. Alidina, J. Monteiro, S. Devadas, A. Ghosh, and M. Papae-fthymiou, "Precomputation-based sequential logic optimization for low power," IEEE Trans. VLSI Systems, vol. 2, no. 4, pp. 426--436, Dec. 1994.
- (8) F. N. Najm, "A survey of power estimation techniques in VLSI circuits," IEEE Trans. VLSI Systems, vol. 2, no. 4, pp. 446--455, Dec. 1994.