

行政院國家科學委員會專題研究計畫成果報告

微流體、光學系統整合晶片

Micro-fluidic Optical System Integration Chip (MOSIC)

計畫編號：NSC 89-2218-E-007-041

執行期限：89年8月1日至90年7月31日

主持人：黃瑞星 國立清華大學電子工程研究所

國科會中區微機電研究中心

計畫參與人員：鄭明正、曾聖翔、楊國裕

中文摘要

本計畫是群體計畫微虛擬實境系統之分析、製造與測試子計畫一，並分三年執行。目的是建立多重晶片技術模組來組裝並整合微流體、微光學系統與積體電路。這些元件製作的製程差異甚大，不易單一積體化，必須藉著組裝，整合成為一個系統。

第一年工作裡我們著重在多重晶片基本模組的建立，包括光波導設計與製作、電感耦合電漿深砂蝕刻、低溫晶片接合技術。設計、製作完成共用組裝基座的雛形。未來藉著系統整合的經驗，對於微機電其他應用的整合更具實務能力。

關鍵詞：微機電系統、多重晶片模組、組裝、光波導

developing MEMS Multichip Modules (MCMs) for assembly and integration of micro fluidic, optical system, and integrated circuit. With MCMs technology, we assemble a number of different components, from different wafers and technologies, onto a common host substrate.

In the first year, we concentrate on the establishment of fundamental technology for MCMs, which includes the fabrication of waveguide, and the deep silicon etching with inductive coupled plasma, and low temperature wafer bonding. Prototype common host substrate is designed and fabricated. These studies will facilitate further integration of more MEMS devices into numerous applications envisioned for microsystems.

Keywords: Micro Electromechanical Systems (MEMS), Multi Chip Modules (MCM), assembly, waveguide

Abstract

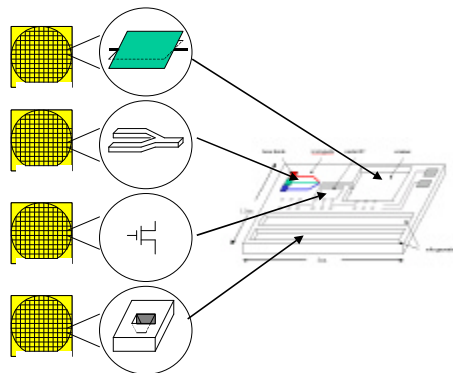
This three-year project is one subproject of the group project entitled design, analysis, fabrication and test of the micro virtual reality system. It aims at

緣由與目的

在微機電系統商品化的過程中，封裝(package)是個很重要的議題。因為積體電路的製作上，封裝的花費就佔了成

本的一半。如果這部分的價格可以降下來，商品會更具競爭力。一般而言，積體電路封裝的目的有(1)將電路的部分與外界的環境隔絕起來，避免環境對電路造成破壞(2)提供基材機械支撐力量(3)幫助散熱，避免元件工作溫度過高(4)與外界作電性的連接。[1]相較於積體電路封裝把晶片與環境隔絕起來，微機電系統封裝顯得更為複雜及挑戰性，必須考慮到(1)微機電元件可能會有可移動的結構，如微光掃描鏡面、微幫浦，應避免封裝過程對元件造成破壞，還需要保護元件可靠地動態操作(2)微系統元件中感測器與致動器幾乎會與環境有交互作用，必需避免環境對元件的破壞。

本計畫是群體計畫微虛擬實境系統之分析、製造與測試子計畫一；並分三年執行。目的是建立微機電多重晶片技術模組來組裝並整合微光學調變元件、微光掃描元件、微味道產生器、控制與驅動電路成為完整之虛擬實境系統。這些元件製作的製程差異甚大，不易單一積體化，必須藉著組裝，整合成為一個系統。[2][3][4]



圖一 微機電多重晶片模組

如圖一所示，欲完成微虛擬實境系

統組裝基座面積為 3cm*1.5cm。(藉由新穎平行封裝系統開發我們將 2cm*2cm 微味道產生器站立在共用基座上所需面積 2cm*0.5cm)除了多重晶片技術模組的開發，本計畫並負責協調其他各子計畫-包括各元件位置設定、線路設定、訊號傳送的時序等如表一所示。

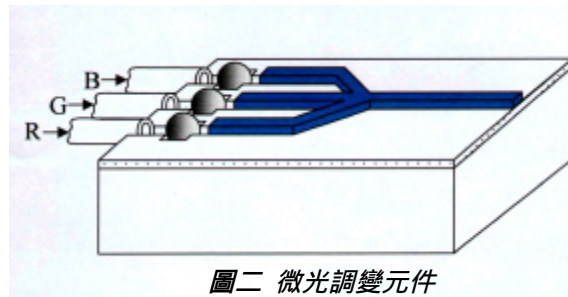
	元件尺寸 chip size	接腳數目 pad	工作電壓 voltage(v)	工作電流 current(mA)
微光源模組	1cm*1cm	6	3-7	30-80
子計畫二微光掃描元件	5mmx5mm	6	40-50	-
子計畫三微虛擬實境控制系統	3mmx3mm	42	5	-
子計畫四微氣味產生系統	2cmx2cm	30	10-20	10-300
微虛擬實境系統*	1.5x3cm			

表一 微虛擬實境系統規格

配合虛擬實境群體計畫的執行，本計畫會依據下述規劃分三年進行：第一年：光波導設計與製作，多重晶片模組開發；第二年：開發新穎平行封裝系統與子計畫中各元件作個別組裝；第三年：虛擬實境系統之整合與測試。

研究結果與討論

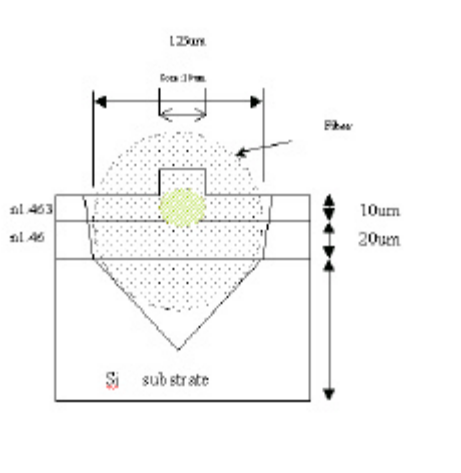
光波導設計與製作



圖二 微光調變元件

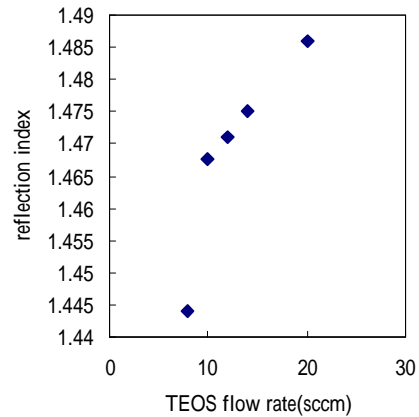
如圖二所示，我們欲整合紅、綠、

藍二極體雷射(laser diode)、球面鏡(micro ball lenses)光纖(fiber)及光波導(waveguide)於共用基座上，作為光源、微光調變元件並配合子計畫二、三微光掃描元件及控制電路產生微虛擬實境中影像。



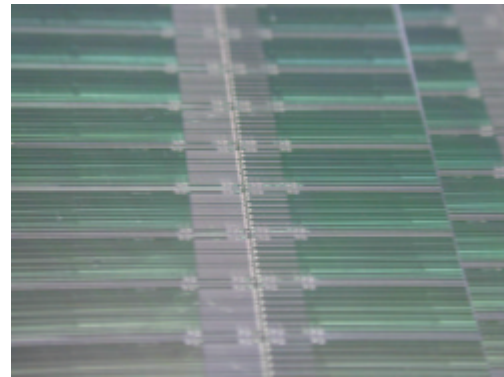
圖三 光波導結構示意圖

光波導設計如圖三所示，我們選擇峰形光波導(Ridge type)作為微光調變元件，主要是光傳輸在此結構中會被強烈限制，較適合有彎曲的結構；波導分差角度(branch)需盡量減少，以避免耦合耗損(經由理論計算 2.5° 分差即可造成光信號 3dB 損失)。材料方面，我們選擇電漿增強化學氣相沈積系統(PECVD)沈積氧化矽薄膜，並藉由改變反應氣體 TEOS 流量，得到所需薄膜折射係數(refractive index ;n) 如圖四所示。光波導結構中下層 20µm 氧化矽作為緩衝層，以避免光耗損至矽基材中；10µm 氧化矽作為核心層(core layer)，兩層折射係數差及厚度需適當選擇及控制以最佳化傳輸的模態及較少耗損。製程中並利用 EDP 蝕刻出矽 V-groove 凹槽以方便光纖與波導對位。



圖四 光波導材料薄膜折射係數與製程氣體流量關係圖

初步製作結果如圖五所示，我們正架設系統以量測光傳輸結果，未來可能遭遇問題是因為有三個光源,不同的波長偶合到光波導中,偶合的效率不同,在光波導傳遞時,所造成的損耗也不同,所以需要迴授控制，調整輸入功率作為補償。



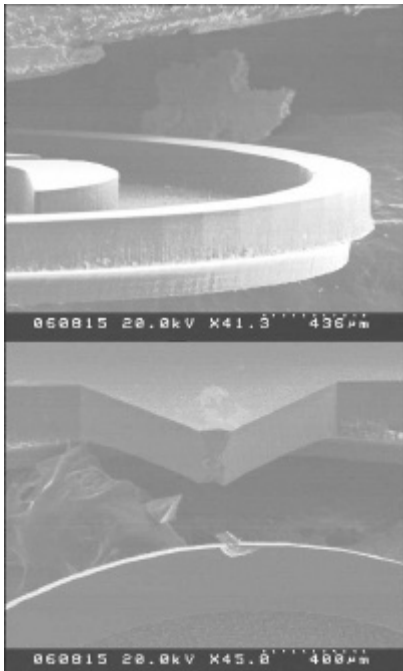
圖五 光波導製作成品

共用基座製作

在共用基座製作中，為方便對位共用基座凹槽與各晶片；精確、互補形狀蝕刻是相當重要的。特別是在微光學系統整合中，共需要相當精準三維空間對位。

一般矽濕蝕刻因為角落補償(corner compensation)限制，本計畫採用電感式耦合電漿蝕刻機(ICP)設備來製作共用基座；ICP 主要是利用感應耦合方式產生高密度電漿，已達到對晶片快速蝕刻的目的蝕刻。技術上是利用 Bosch 的交替蝕刻與高分子鈍護 (alternating etch and polymerization) 專利製程並改變不同的側壁鈍方法來進行矽深蝕刻，特點為不需要低溫冷卻即可得到高蝕刻速率、高選擇比、高非均向性、高蝕刻深度及高深寬比的矽蝕刻結果。

圖六(a)(b)是矽深蝕刻結果，此精準三維加工在未來各晶片模組切割及組裝是相當重要的。

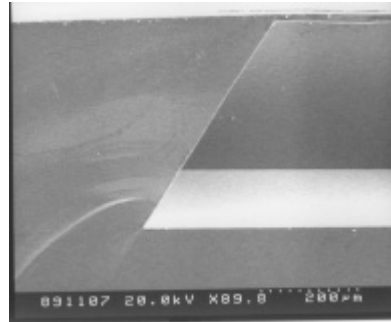


圖六. (a)利用 ICP 製作三維基座結構(b)利用 ICP 切割晶片模組

低溫晶圓黏合

由於各組裝晶片不容許高溫或高電壓等後段處理。我們利用高分子的黏著劑(adhesive polymer) 藉由半導體製程

方法，塗佈並定義於固定基座的位置。並施壓、低溫(<100°C)將兩片晶圓黏著接合，如圖七所示。



圖七. 低溫晶圓接合模組

計畫成果自評

第一年工作裡我們著重在多重晶片基本模組的建立，包括光波導設計與製作、電感耦合電漿深矽蝕刻、低溫晶片接合等技術。而系統技術是目前微機電系統領域最欠缺的，本計畫欲整合領域包括電性、機械、光學、流體力學，有關各界面的銜接，可以參考的文獻很少，可說是一個全新的嘗試。

參考文獻

- [1] G.Kelly et,al " Microsystem packaging: lessons from conventional low cost IC packaging" *Journal of Micromechanics and Microengineering* 7 p99-103 1997
- [2] M.B.Cohn et,al " Microassembly Technologies for MEMS" *Proceeding SPIE* vol 3511 p2-16 1998
- [3] K.W.Oh et,al "Flip-chip packaging using micromachined conductive polymer bumps and alignment pedestals for MEMOS" *IEEE Journal of Selected Topics in Quantum Electronics* vol 5 11 p119-126 1999
- [4] S.S. Lee et al "2X2 MEMS Fiber Optic Switches with Silicon Submount for Low-cost Package" *Proceeding IEEE Solid-State Sensor and Actuator Workshop, Hilton Head* p281-284 1998