

# 行政院國家科學委員會補助專題研究計畫成果報告

## 垂直式分離閘快閃記憶體之設計製程及可靠性研究

計畫類別： 個別型計畫      整合型計畫

計畫編號：NSC 90-2215-E-007-031

執行期間：90年08月01日至91年07月30日

計畫主持人：徐清祥

共同主持人：金雅琴

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：清華大學電子工程研究所

中 華 民 國 91 年 10 月 29 日

# 行政院國家科學委員會專題研究計畫成果報告

## 垂直式分離閘快閃記憶體之設計製程及可靠性研究

NSC 90-2215-E-007-031

執行期限：90 年 7 月 1 日至 91 年 6 月 30 日

主持人：徐清祥 [chhsu@ee.nthu.edu.tw](mailto:chhsu@ee.nthu.edu.tw) 共同主持人：金雅琴

計畫參與人員：吳孟益 馮信彰 國立清華大學電子工程研究所

### 中文摘要

在所有的快閃記憶體元件中，分離閘式的架構是所有運用熱電子注入作為編碼機制中，效率最高的一種機制。相較於傳統的堆疊式快閃記憶體所能運用 CHEI (Channel Hot Electron Injection)、或者是在基板上加上負向電壓來增加效率的 CHISEL (Channel Initiated Secondary Electron Injection)，這兩種熱電子注入編碼的操作方式，均只能達到  $10^{-5} \sim 10^{-6}$  的效率（閘極電流除於汲極電流）。在分離閘式快閃記憶體所能運用的 SSI (Source Side Injection) 熱電子注入編碼機制，而能達到  $10^{-4} \sim 10^{-5}$  的更高效率。然而，縱使分離閘快閃記憶體有極高的效率，但是其分離閘的架構部分卻是造成其記憶胞單位面積相較於其他快閃記憶體架構大且不易於縮小化的主要問題所在。

在此研究中，我們嘗試將傳統的平面分離閘式之選擇閘部分，經由自我對準的溝槽式 (Self-Aligned Trench) 技術，將選擇閘移至溝槽中，並且源極端將共用於深 N 型井 (整個元件是建構在淺 P 型井上)。如此一來，這樣的分離閘元件架構就會比傳統的分離閘架構節省得擴散源極的區域及選擇閘的面積。

在這個快閃式記憶元件架構之上，所使用的編碼機制也是和傳統的分離閘源極 SSI 熱電子注入法不同的。傳統分離閘架構中的 SSI 的原理是：選擇閘操作在飽和區，電子在跨越選擇閘而後注入浮動閘，是因為選擇閘與浮動閘間的縫隙有落大電壓所造成的大水平電場而能加速成熟電子。電

子通過縫隙後，會因為浮動閘處於適合電子注入的電位，使得熱電子有可能能改變向量而注入浮動閘。在這個垂直分離閘式結構中，欲產生熱電子的加速電場，反而由浮動閘導通，其浮動閘電壓與汲極電壓所造成下方的空乏區。如此一來，在此垂直分離閘式架構中，電子加速路徑與最後熱電子注入浮動閘的方向是一樣的，我們可以預期這樣的彈道式源極端注入 (Ballistic Source Side Injection) 效率會比傳統的源極端注入法還要來得高。(依據初步模擬結果顯示出效率可高達  $10^{-3}$ )。這個 BSSI 編碼方法亦是本研究的重點之一。

**關鍵詞：**快閃式記憶體、分離閘、溝槽式

### 英文摘要

The split gate flash memory has the advantage of higher program efficiency. Comparing to the conventional CHEI (Channel Hot Electron Injection) program mechanism used in stack gate flash cells with injection efficiency of  $10^{-6} \sim 10^{-8}$ , SSI (Source Side Injection) in Split-Gate Structure can achieve much higher efficiency, at around  $10^{-4} \sim 10^{-6}$ . In this research project, we proposal a new split gate flash cell with vertical transistor, to not only still acquire higher efficiency with novel programming mechanism, but also to reduce cell size for high density application.

In the proposed structure, all of the source regions are shared using the

Deep-N-Well, which reduces the cell area of array by eliminating of the source diffusion line. Furthermore, by adapting the trench technology, a vertical select transistor incorporated in this cell. The two approaches above can reduce the silicon area of this novel Split-Gate cell by up to 50%. A new programming mechanism named BSSI (Ballistic Source Side Injection) is observed in simulation results and will be studied in this project. The program mechanism exhibits different characteristics than of others previously published studies because of the unique injection trajectory of the hot electrons accelerated by electric field of depletion region. Therefore, a higher programming efficiency is expected in this novel cell. In the proposed project, the unique programming mechanism as well as the memory array operation scheme will be studied extensively.

Keywords: Flash, Trench, Split Gate

### 研究成果

本計畫之研究重點在於設計和製成出垂直分離閘式快閃記憶體，並分析其操作時各項的編碼機制。而第一年的研究重點為：

- (一) 垂直分離閘式快閃記憶體結構之製程設計與元件結構、電性模擬。
- (二) 垂直分離閘式快閃記憶體結構之佈局及光罩製作。
- (三) 垂直分離閘式快閃記憶體結構第一批晶片之製造（進行中）。

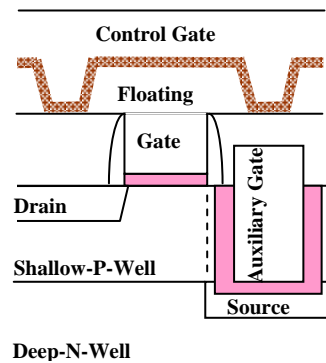
依序介紹各個項目的研究成果：

- (一) 製程設計與元件結構、電性模擬。

目前垂直分離閘式快閃記憶體之製程實驗是與國家奈米實驗室合作進行的，其製程流程設計將考量國家奈米實驗室製程技術加以規劃。而第一年的製程設計，主要是短製程流程，目的是為了規劃出較可行的溝槽式電晶體的製作流程，並在第二

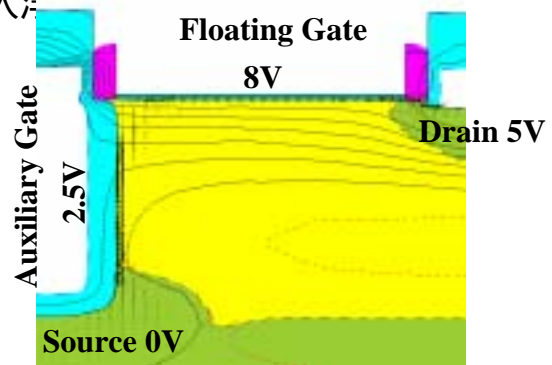
年以及第三年將其置入整個完整元件架構流程，以期最好的製程成功率。

下圖為垂直分離閘式快閃記憶體之完整剖面圖。這套元件設計流程主要的觀念在於：溝槽式的輔助閘部分以及共用源極端於深 N 型井，再加上為了使元件面積大幅縮小而利用自我對準（Self-Alignment）的概念，因此發展出這整套的製程流程。



垂直式分離閘快閃記憶體之元件剖面圖

而根據製程模擬軟體 Tsuprem4 以及電性模擬軟體 Medici 的元件模擬，我們得到這個元件進行編碼操作時，其對應的能帶圖，下圖所示為新型分離閘快閃式記憶體的源極端熱電子的編碼動作，其輔助閘在編碼操作時操作在臨界電壓的附近 2.5V，控制閘操作在 12V 使得浮動閘耦合至適合熱電子注入的電位 8V，並可使得汲極電壓 5V 能完全導通至垂直輔助閘上緣，而此時輔助閘相當於是一個工作正處於飽和區的電晶體。電子從源極端出發，經由汲極與浮動閘導通生成的垂直電場的加速而直接注入浮



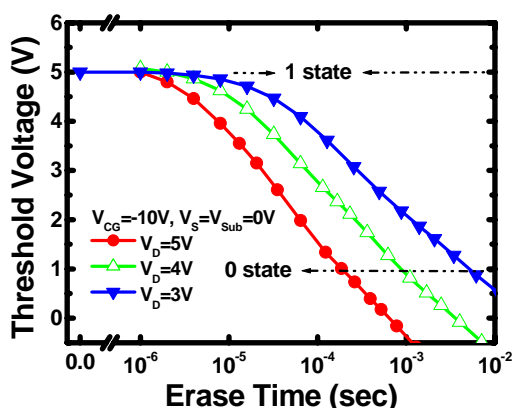
而其編碼時之能帶與電壓的變化圖，見下圖，在控制閘電壓為 12V 時，編碼使得

邏輯 0 到邏輯 1 的時間在 0.1us 就可以完成，與目前所有已知元件的編碼機制相比，速度是最快的，。

本計畫的最終目的是要將垂直分離閘式快閃記憶體具體的實現，然而為了對於整個完整的製程有較佳的掌握，第一年下半年即在 NDL 進行的短製程流程設計以及相關人員的儀器操作訓練。

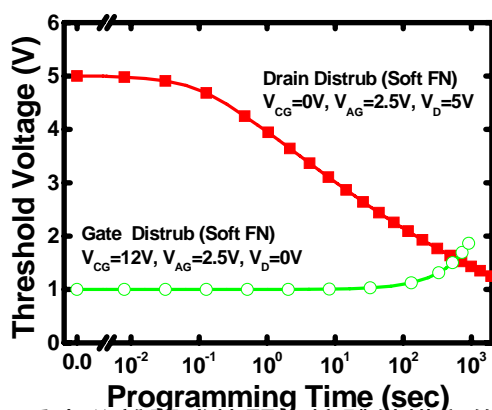
短製程流程的設計主要是針對垂直溝槽式電晶體的製作與特性，及其對應的製程設計與分析利用製程模擬軟體做初步的設計，以及電性模擬軟體對於元件架構所預期出現的特性做電腦模擬計算。在此，將製程步驟及其相關剖面圖做個解釋：

而且抹除特性利用汲極端的 FN 操作，使浮動閘內的電子數量減少，降低臨界電壓，抹除操作時間均約略在 1ms 之間。



抹除操作時臨界電壓與時間的關係圖

而這個元件也因為是熱電子操作，而有較佳的汲極與閘極的偏壓干擾。



(二) 垂直分離閘式快閃記憶體結構之佈局對於未選擇的元件的偏壓干擾關係圖及光罩製作。

圖 A：我們首先利用第一道光罩進行 LOCOS 的步驟，而後以 TEOS 的方式沈積上一層約 2000A 的氧化層做為 Hard Mask 用，再利用光罩二來對於欲蝕刻單晶矽的部分，也就是輔助閘(Auxiliary Gate)做定義，並蝕刻之。

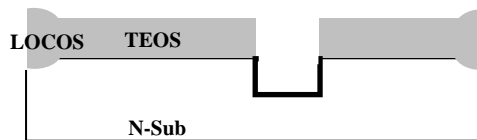
圖 B：蝕刻完之後，接著是一道 1100C 的高溫回火動作，主要是對於對於單晶矽的溝槽化做缺陷的修補，而後，我們需要在溝槽的下方做出 N+源極，因為為了避免未來是通道溝槽側壁受 N+離子佈植的影響，在之前利用了氮化矽  $Si_3N_4$  的側壁 (Spacer) 作為保護之用。

圖 C：在 N+離子佈植之後，將作為 Hard Mask 的 TEOS 去除，再進行深 N 型井以及淺 P 型井的離子佈植。

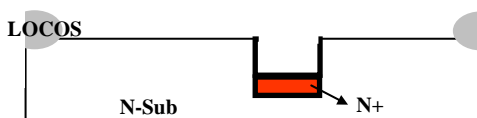
圖 D：生成輔助閘的閘氧化層之後，我們沈積閘極多晶矽 5000A，並做第一次乾蝕刻的步驟將其高度吃低，最主要的目的是因為要將溝槽良好地填滿，並保留出多晶矽連接線，以確保可以將溝槽式閘極接出。接下來，再次蝕刻多晶矽使水平 Wafer 表面的多晶矽消失。

圖 E: 利用光罩進行汲極的離子佈植之後，沈積氧化保護層，以光罩定義出開出金屬接觸窗，鍍上金屬，接出各個端點以供量測之用。

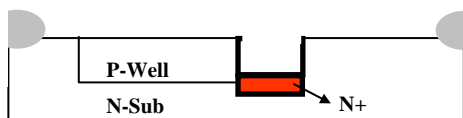
(圖 A) Hard Mask 與溝槽化的製作



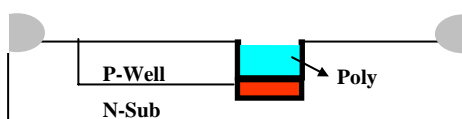
(圖 B) 溝槽底部進行 N+ 的離子佈植



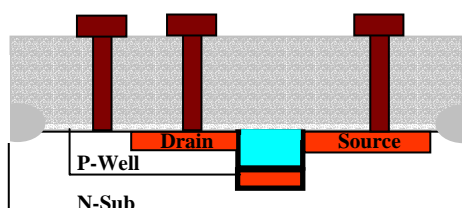
(圖 C) 溝槽表面的回火以及淺 P 井的離子佈植



(圖 D) 垂直式電晶體的製作



(圖 E) 保護層、接觸窗以及金屬濺渡。



而短製程流程之佈局設計將依據各個組成元件所設計的結構並考量其差異性進

行設計，並委託國家奈米實驗室進行製作，希望能從第一年計劃實行之結果中所得到的佈局設計寶貴經驗，能有開創且突破性的設計。

本計劃已完成規劃第二年垂直分離開式快閃記憶體結構計畫預定進度之項目，希望藉由本研發團隊歷代傳承之堅強實力與深厚的經驗，藉由 NDL 的儀器設備，經由第一年計劃實行之結果，成功完成第二年預定進度之項目，達到設計並開發垂直分離開式快閃記憶體結構製造技術之目的。

#### 四、參考文獻

- [1] F. Masuoka, and Others, "A new Flash EEPROM cell using triple Polysilicon technology", in IEDM Tech. Dig., p.464-p467, 1984.
- [2] K. Naruke, and Others. "A new flash-erase EEPROM cell with a sidewall select-gate on its source side." in IEDM Tech. Dig., p.602-p.606
- [3] Yoshimitsu Yamauchi, and Others, "A 5v-only virtual ground Flash cell with and auxiliary gate for high density and high speed application," in IEDM Tech. Dig., p.319-p322, 1991.