

# 行政院國家科學委員會補助專題研究計畫成果報告

## 高介電金氧半元件之設計製程及可靠性研究

計畫類別： 個別型計畫            整合型計畫  
計畫編號：NSC 89 - 2215 - E - 007 - 032 -  
執行期間： 88 年 11 月 1 日至 89 年 7 月 31 日

計畫主持人：金雅琴  
共同主持人：

本成果報告包括以下應繳交之附件：  
    赴國外出差或研習心得報告一份  
    赴大陸地區出差或研習心得報告一份  
    出席國際學術會議心得報告及發表之論文各一份  
    國際合作研究計畫國外研究報告書一份

執行單位：國立清華大學電子工程研究所

中 華 民 國      89 年      9 月      14 日

# 行政院國家科學委員會專題研究計畫成果報告

## 高介電金氧半元件之設計製程及可靠性研究

Design, Fabrication and Reliability Study of MOS Device with  
High-k gate Dielectrics

計畫編號：NSC 89-2215-E-007-032

執行期限：89年11月1日至89年7月31日

主持人：金雅琴 國立清華大學電子工程研究所

ycking@ee.nthu.edu.tw

計畫參與人員：賴成孝 胡凌彰 國立清華大學電子工程  
研究所

### 一、中文摘要

本計畫針對深次微米金氧半元件研究探尋可行之高介電值介電材料以及配合的新閘材料。完成電腦模擬評估高介電值閘介電層對元件特性可能引發的問題，特別在元件短通道效應之變化。並進行製程條件之模擬及設計級光罩設計及委製。

**關鍵詞：**高介電值閘介電層、元件短通道效應

#### Abstract

This project focuses on the investigation of various high-k gate dielectric and matching gate material for deep sub-micro MOSFETs. Effects of introducing high-k gate dielectric on subsequent devices characteristics are evaluated by device simulator. In addition, process simulation and test structure layout for future device fabrication is completed.

**Keywords:** High-k gate dielectric, Field induce barrier lowering effect

### 二、緣由與目的

在1998年度的SIA(Semiconductor Industry Association) Roadmap中，估計於2006年前，金氧半元件的閘的長度將會需要向下調整為100nm，而二氧化矽的厚度因此必須

向下調整至1.5到2nm，這表示工業界需要在不久的將來證明厚度為1.5nm的等效性介電層之可行性。

傳統的方法使用二氧化矽或是氮化矽為介電層。當其厚度小於2nm時，急遽升高的漏電流和更加嚴重的硼穿透問題使得其可行性受到影響【1】。除此之外，超薄氧化層的均勻性以及製程之重復性更造成了氧化製程的困難。因此，SRC/SEMATECH和美國重要的半導體公司紛紛加重對於取代二氧化矽其它介電材料的探尋及研究。採用一層比較厚而其介電值較高的材料來取代二氧化矽是一解決之道。當等效性介電層厚度相同時，較厚而介電值較高的材料所形成介電層可提供較低的漏電流。然而，新的高介電值材料必須能夠克服和金氧半元件製程相容的問題。因此，Gate Stack整體的研究(同時考慮高介電值介電層和Gate的材料之製程)對於金氧半元件是否能夠持續向下縮小是不可或缺的一步。利用Ta<sub>2</sub>O<sub>5</sub>所製成的金氧半電容和電晶體已經被證明當和二氧化矽所製成的元件比較時具有非常小的漏電流【2】。在本研究計畫中除了高介電值材料製成技術之評估，利用電腦模擬評估高介電值閘介電層對元件特性可能引發的問題，特別在元件短通道效應之變化的影響有深入的探討。

隨著閘氧化層厚度的逐漸縮小，由基板(Substrate)到閘極(Gate)的直接穿透

漏電流將隨著變大。在 0.07 $\mu\text{m}$  的技術下，將要求閘氧化層厚度在 15 $\text{\AA}$  以下，而這樣的厚度，當閘極電壓在 1V 時漏電流將超過 1A/cm<sup>2</sup>，這樣的數量對許多的應用可能是過高的【3】。解決這問題的方法之一就是利用高介電常數 (High-K) 料的絕緣層來取代傳統 SiO<sub>2</sub>。在目前大家所研究考慮的 High-K 材料包括 Si<sub>3</sub>N<sub>4</sub> (K=7.5)、Al<sub>2</sub>O<sub>3</sub> (K=10)、Ta<sub>2</sub>O<sub>5</sub> (K=25)、TiO<sub>2</sub> (K=30-100) 以及 BST (K=200-300)。這是利用當等效厚度相同時，較高的 K 值有較大的物理厚度，所以能使直接穿透閘極的電流 (direct tunneling current) 變小。但當 K 增加時由於所謂的“邊緣導致障礙降低”效應 (FIBL) 【4】的問題也將使得 Off-State 的漏電流增大，這些種種的 High-K 引起的效應將在本文中詳細的介紹，當然我們也會介紹一些方法來降低 FIBL 的效應。

### 三、結果與討論

在 Fig.1 我們由模擬發現，當  $V_g=0\text{V}$  時，Off-State 的漏電流 ( $I_{\text{off}}$ ) 隨著 K 的增加而增加。我們在這邊所做的模擬是利用 TMA 中的 TSUPREM4 & MEDICI。其中  $L_{\text{gate}}=0.05\mu\text{m}$ ，且有效的閘絕緣層厚度  $T_{\text{eq}}=10\text{\AA}$ 。這是因為從源極 / 汲極介面到通道邊緣的電場將導致位能障的下降，因而使得 Threshold Voltage ( $V_{\text{th}}$ ) 降低以及 Sub-threshold Swing (S) 和  $I_{\text{off}}$  增加。這是因為等效厚度相同，所以 K 增加時垂直電場將減少，使得橫向電場 (由源極 / 汲極往通道的方向) 和垂直電場 (由閘極往通道的方向) 的比值增加，因此邊緣電場的效應在 High-K 時將被增強。由 Fig.2，沿著源極 - 通道 - 汲極的能帶圖，我們發現位能障的確隨著 K 的增加而下降。另外，其他元件參數的模擬發現 S 不僅受 K 變大而變大且也隨著 Junction Depth ( $X_j$ )、Gate Length ( $L_g$ )、Spacer Width ( $W_{\text{sp}}$ ) 的變化而變化。

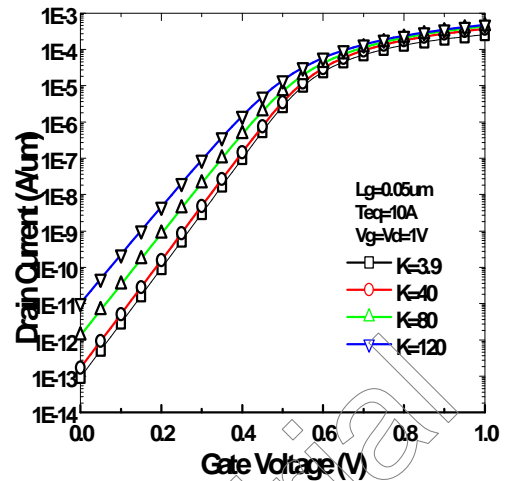


Fig.1 在 High-K 閘絕緣層等效厚度為 10 $\text{\AA}$  下，FIBL 導致  $I_{\text{off}}$  的增加

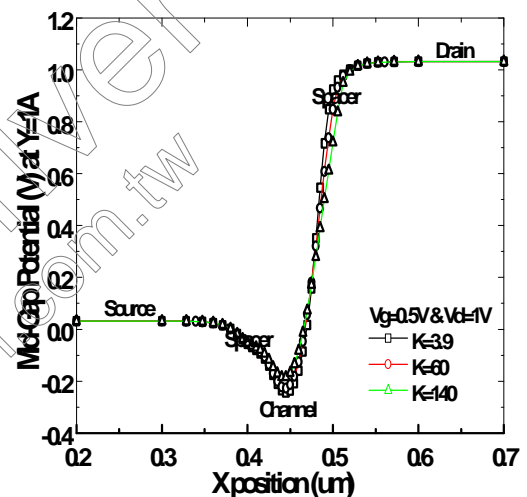


Fig.2 沿著通道和閘絕緣層橫切的電位圖，顯示隨著 k 的增加，位能障將下降

些結果如 Fig.3、Fig.4、Fig.5 所示。由於 FIBL 的效應，導致在 High-K 時  $I_{\text{off}}$  的變大，因此我們提供了 Stack Gate Insulator Layers 這個方法可以有效的降低 FIBL 的效應。所謂的 Stack Gate Insulator Layers 就是將傳統的單一閘絕緣層利用兩個不同介電常數的絕緣層來取代。首先我們讓  $K_{\text{top}}=3.9$  固定，而改變  $K_{\text{bottom}}$  的大小且令  $T_{\text{eq-top}}=T_{\text{eq-bottom}}=T_{\text{eq}}/2=5\text{\AA}$ 。

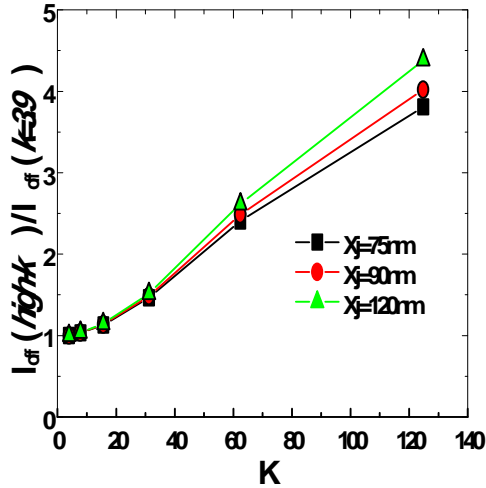


Fig.3 不同  $X_j$  時  $I_{off}$  和  $K$  的關係。顯示  $I_{off}$  會隨著  $K$  及  $X_j$  的變大而變大。

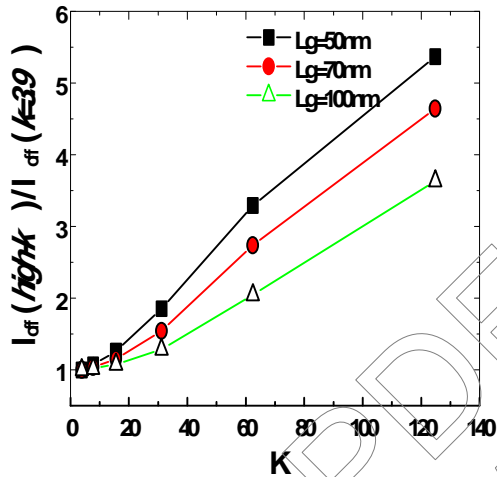


Fig.4 不同  $L_g$  時  $I_{off}$  和  $K$  的關係。顯示  $I_{off}$  會隨著  $K$  的變大及  $L_g$  的變小而變大。

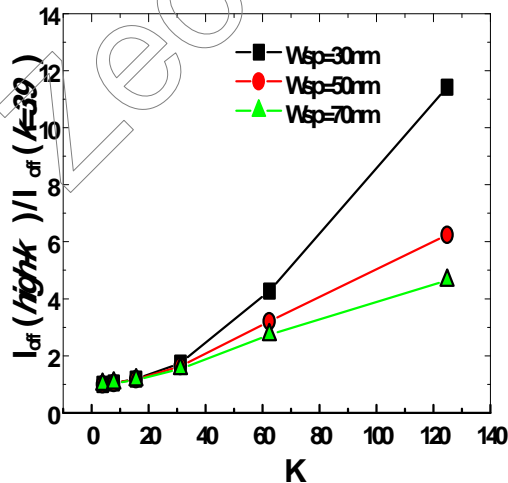


Fig.5 不同  $W_{sp}$  時  $I_{off}$  和  $K$  的關係。顯示  $I_{off}$  會隨著  $K$  的變大及  $W_{sp}$  的變小而變大。

在 Fig.6(a) 中我們發現這樣模擬出來的結果和單一閘絕緣層的結果相似，也就是當  $K_{bottom}$  變大時  $S$  將變大，漏電流也就跟著變大。相反的假如我們讓  $K_{bottom} = 3.9$  固定，而改變  $K_{top}$  的大小，在 Fig.6(b) 我們發現這樣的結果漏電流以及  $S$  的變化並不大。而 Fig.7 更可以清楚的看出  $S$  在這兩種情形下隨  $K$  變化的情形。由此我們可以知道，High-K 所導致 FIBL 加強的效應主要是由  $K_{bottom}$  的大小所決定的。 $K_{bottom}$  越小，FIBL 加強的效應也將越小， $K_{bottom}$  越大，FIBL 加強的效應也將越大。

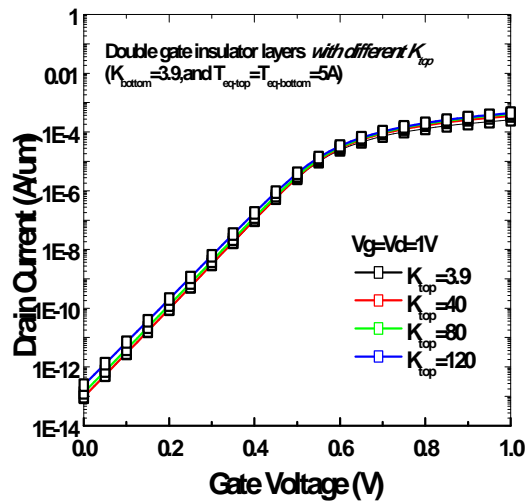
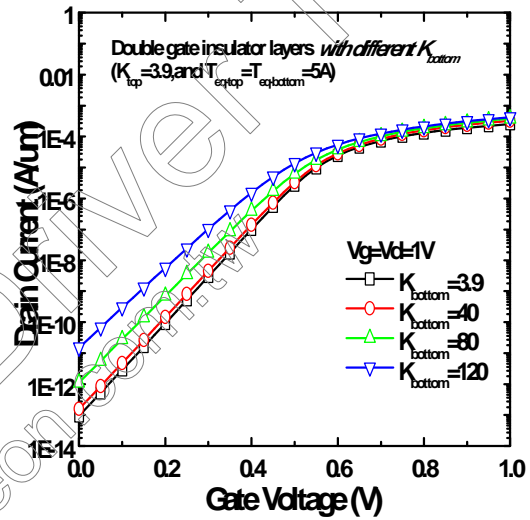


Fig.6 雙層閘絕緣體在 (a)  $K_{top}$  固定而改變  $K_{bottom}$  和 (b)  $K_{bottom}$  固定而  $K_{top}$  改變的結果和單

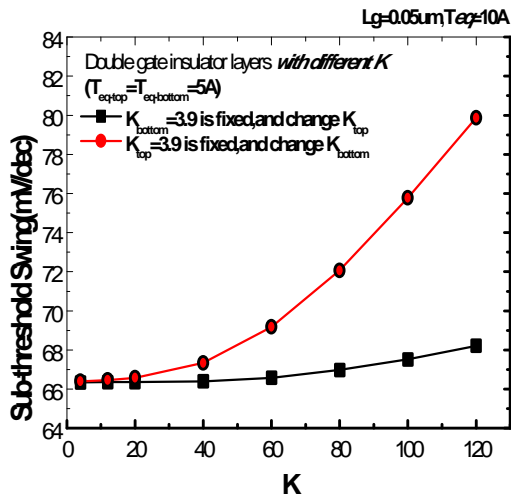


Fig.7 雙層閘絕緣體在  $K_{top}$  固定而  $K_{bottom}$  改變  $K_{bottom}$  固定而  $K_{top}$  改變下, S 的變化。

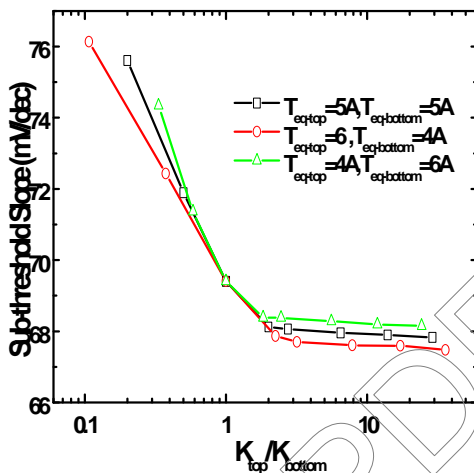


Fig.8 雙層閘絕緣體在  $K_{eq}=60$  時  $K_{top} / K_{bottom}$  和 S 的關係。結果顯示  $K_{top} / K_{bottom} > 1$  時的效果不錯

之所以會有這樣的結果主要是因  $T_{eq-bottom}$  固定, 所以當  $K_{bottom}$  越大時, 因物理上的  $T_{eq-bottom}$  變大而導致垂直電場(由閘極往通道方向)變小, 使得橫向電場(由源極/汲極往通道的方向)和垂直電場的比值增加, 所以 FIBL 的效應變大。所以當  $K_{bottom}$  固定而改變  $K_{top}$  時, 因垂直電場變化並不大, 所以 FIBL 的效應也就不那麼明顯了。

對於這種結果簡單的說就是較厚的閘絕緣層厚度(K 較大)對通道的控制能力較差所以  $I_{off}$  及 S 都較大, 反之若閘絕緣層厚度較薄, 則  $I_{off}$  及 S 都較小。在這之前我們的討論都是針對  $T_{eq-top} = T_{eq-bottom}$ , 如果

$T_{eq-top} \neq T_{eq-bottom}$  結果又是如何呢? 由模擬出來的結果發現, 結果大致上和之前的討論相同, 也就  $K_{bottom}$  主宰了  $I_{off}$  及 S 且  $T_{eq-top} / T_{eq-bottom}$  的比值越小  $I_{off}$  及 S 也都將越小, 結果如 Fig.8 所示。圖中我們可以清楚的看到  $K_{top}$ 、 $K_{bottom}$ 、 $T_{eq-top}$ 、 $T_{eq-bottom}$  對 S 的影響。另外, 在相同的物理厚度之下, 只要我們確定  $K_{top} / K_{bottom} > 1$ , 其結果都要比用單一閘絕緣層且  $K=60$  的效果要來得好。因此我們建議, 可以用兩個不同 K 值的絕緣體來當閘絕緣層, 其結果要比用相同厚度 High-K 單一閘絕緣層的效果要來得好。

#### 四、計畫成果自評

High-k 材料取代  $SiO_2$  當作閘絕緣層的材料, 由於 FIBL 所造成的效應, 將導致 K 值越大時, S 和  $I_{off}$  也跟著變大。而利用雙層閘絕緣層的結構, 且若  $K_{top} / K_{bottom} > 1$ , 則可以有效的降低因 K 直增加造成 FIBL 效應的增加而降低 S 和  $I_{off}$ 。

本計畫, 研究探尋可行之高介電值介電材料以及配合的新閘材料。完成電腦模擬評估高介電值閘介電層對元件短通道特性之變化, 進行深入且廣泛的研究。並且提出如何對於高介電值介電閘層進行最佳化設計。

#### 五、參考文獻

- [1] C. Hu, "Gate Oxide Scaling Limits and Projection", IEDM, p.319, 1996
- [2] Y. Taur and E.J. Nowak, "CMOS Devices Below 0.1 $\mu$ m, How high will performance go?", IEDM, p. 835, 1994
- [3] B. He and others, "A 1.1nm Oxide Equivalent Gate Insulator Formed Using  $TiO_2$  on Nitrided Silicon", IEDM, p.613,1998
- [4] G. Yeap, S. Krishnan, M. Lin, "Fringing-induced barrier lowering (FIBL) in sub-100nm MOSFETs with high-K gate dielectrics", Electronics Letters, vol.34, no.11, p.1150 1998

# 行政院國家科學委員會補助專題研究計畫成果報告

## 高介電金氧半元件之設計製程及可靠性研究

計畫類別： 個別型計畫          整合型計畫  
計畫編號：NSC 89 - 2215 - E - 007 - 032 -  
執行期間： 88 年 11 月 1 日至 89 年 7 月 31 日

計畫主持人：金雅琴  
共同主持人：

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

執行單位：國立清華大學電子工程研究所

中 華 民 國      89 年      10 月      1 日